

JP10334129

Publication Title:

Simulation device and its method for simulating operation of large-scale electronic circuit by parallel processing

Abstract:

A simulation device comprises an equation generating unit for generating a simultaneous linear equation by application of the implicit integration formula and the Newton iteration method to the description data of an electronic circuit to be simulated, a plurality of block ILU factorization units for performing incomplete LU factorization processing in parallel on each block in a coefficient matrix of the generated simultaneous linear equation, a plurality of fill-in adding units for adding a plurality of fills-in generated by the incomplete LU factorization to a combined portion of coefficient matrices, in parallel, a plurality of line collection ILU factorization units for ILU-factorizing each of several line collections on the combined portion where the fills-in are added, and a convergent solution judging unit for repeating a series of the above processing until convergence of a solution in the simultaneous linear equation generated by the equation generating unit is reached.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-334129

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁸

G 0 6 F 17/50
17/12

識別記号

F I

G 0 6 F 15/60
15/324

6 6 2 G

審査請求 有 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願平9-143955

(22) 出願日 平成9年(1997)6月2日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 蜂屋 孝太郎

東京都港区芝五丁目7番1号 日本電気株
式会社内

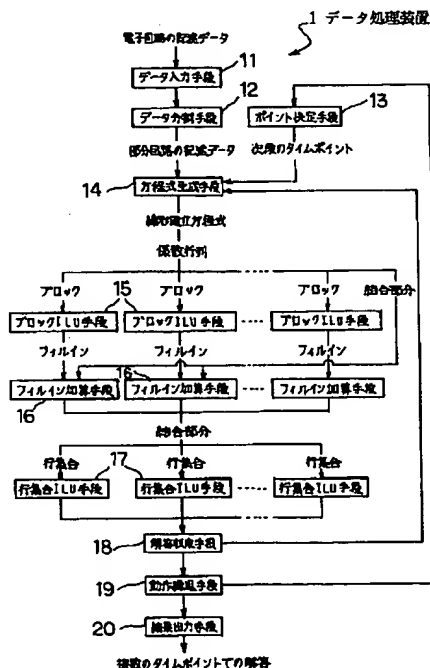
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 データ処理装置および方法、情報記憶媒体

(57) 【要約】

【課題】 大規模な回路の動作を高速にシミュレーションできるようにする。

【解決手段】 回路の記述データを分割した部分回路の記述データに方程式生成手段14により陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成し、この線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数のブロック I L U 手段15で並列に I L U 分解する。この並列処理により個々に発生した複数のフィルインを複数のフィルイン加算手段16で係数行列の結合部分に並列に加算し、複数のフィルインが加算された結合部分の複数の行集合の各々を行集合 I L U 手段17で並列に I L U 分解する。ニュートン方程式の求解を並列処理することができ、この並列処理の結果に対して逐次実行する処理が存在しないので、複数のプロセッサによる並列処理の個数を増加させて処理時間を短縮することができる。



【特許請求の範囲】

【請求項 1】 電子回路の記述データの入力を受け付けるデータ入力手段と、

入力された電子回路の記述データを分割して部分回路の記述データを生成するデータ分割手段と、

部分回路の記述データに対して次段のタイムポイントを決定するポイント決定手段と、

次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成する方程式生成手段と、

生成された線形連立方程式の線取ブロック対角化された係数行列の複数のブロックの各々を並列に I L U (Incomplete Lower/Upper factorization) 分解する複数のブロック I L U 手段と、

並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを係数行列の結合部分に並列に加算する複数のフィルイン加算手段と、

複数のフィルインが加算された結合部分の複数の行集合の各々を並列に I L U 分解する行集合 I L U 手段と、

前記方程式生成手段と前記ブロック I L U 手段と前記フィルイン加算手段と前記行集合 I L U 手段との動作を解答が収束するまで反復させる解答収束手段と、

前記ポイント決定手段と前記方程式生成手段と前記ブロック I L U 手段と前記フィルイン加算手段と前記行集合 I L U 手段と前記解答収束手段との動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させる動作繰返手段と、

複数のタイムポイントでの解答をデータ出力する結果出力手段と、を具備していることを特徴とするデータ処理装置。

【請求項 2】 並列に動作する複数のプロセッサを具備しており、これらのプロセッサの各々がブロック I L U 手段とフィルイン加算手段と行集合 I L U 手段として機能することを特徴とする請求項 1 記載のデータ処理装置。

【請求項 3】 請求項 1 記載のデータ処理装置を一つとする処理速度と求解の収束性とが相反する関係の複数のデータ処理手段と、

最初に収束性が最低で処理速度が最高の前記データ処理手段に求解させる処理選択手段と、

求解する前記データ処理手段の反復回数を検出する回数検出手段と、

反復回数が事前に設定された許容回数を逸脱すると求解させる前記データ処理手段を収束性が高く処理速度が低い前記データ処理手段に順次切り替える処理切替手段と、を具備していることを特徴とするデータ処理装置。

【請求項 4】 電子回路の記述データの入力を受け付け、

入力された電子回路の記述データを分割して部分回路の記述データを生成し、

部分回路の記述データに対して次段のタイムポイントを決定し、

次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成し、

生成された線形連立方程式の線取ブロック対角化された係数行列の複数のブロックの各々を並列に I L U 分解し、

並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを係数行列の結合部分に並列に加算し、

複数のフィルインが加算された結合部分の複数の行集合の各々を並列に I L U 分解し、

線形連立方程式の生成から行集合の I L U 分解までの動作を解答が収束するまで反復させ、

次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返し、

複数のタイムポイントでの解答をデータ出力するようにしたことを特徴とするデータ処理方法。

【請求項 5】 請求項 4 記載のデータ処理方法の一つとして処理速度と求解の収束性とが相反する関係の複数のデータ処理方法を用意しておく、

最初に収束性が最低で処理速度が最高の前記データ処理方法に求解させ、

求解する前記データ処理方法の反復回数を検出し、

反復回数が事前に設定された許容回数を逸脱すると求解させる前記データ処理方法を収束性が高く処理速度が低い前記データ処理方法に順次切り替えるようにしたことを特徴とするデータ処理方法。

【請求項 6】 並列に動作する複数のプロセッサを具備するコンピュータシステムが読取自在なソフトウェアが格納されている情報記憶媒体において、

電子回路の記述データの入力を受け付けること、

入力された電子回路の記述データを分割して部分回路の記述データを生成すること、

部分回路の記述データに対して次段のタイムポイントを決定すること、

次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成すること、

生成された線形連立方程式の線取ブロック対角化された係数行列の複数のブロックの各々を複数の前記プロセッサに並列に I L U 分解させること、

並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを係数行列の結合部分に複数の前記プロセッサに並列に加算させること、

複数のフィルインが加算された結合部分の複数の行集合の各々を複数の前記プロセッサに並列に I L U 分解させること、

線形連立方程式の生成から行集合の I L U 分解までの動作を解答が収束するまで反復させること、

次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させること、

複数のタイムポイントでの解答をデータ出力すること、を前記コンピュータシステムに実行させるためのプログラムが格納されていることを特徴とする情報記憶媒体。

【請求項 7】 並列に動作する複数のプロセッサを具備するコンピュータシステムが読取自在なニュートン反復法のソフトウェアが格納されている情報記憶媒体であって、

線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数の前記プロセッサに並列に I L U 分解させること、

並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを係数行列の結合部分に複数の前記プロセッサに並列に加算させること、

複数のフィルインが加算された結合部分の複数の行集合の各々を複数の前記プロセッサに並列に I L U 分解させること、を前記コンピュータシステムに実行させるためのプログラムが格納されていることを特徴とする情報記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、L S I (Large Scale Integrated Circuit) 等の大規模な電子回路の動作のシミュレーションを複数のデータ処理手段で並列処理するデータ処理装置および方法、そのプログラムが格納されている情報記憶媒体に関する。

【0002】

【従来の技術】 回路のシミュレーションでは、電子回路の複数の節点の各々の電位や複数の素子の各々の電流値の時系列的な変化を出力する。その場合、電子回路の動作を示す常微分方程式を時間離散化し、陰的積分公式を適用することにより非線形連立方程式を獲得する。つぎに、この非線形連立方程式にニュートン反復法を適用し、これで獲得される線形連立方程式の解法を反復させて各時間離散化点での解答を獲得する。

【0003】 素子が数万以上の L S I 等の大規模な電子回路のシミュレーションでは、上述の線形連立方程式の求解の所要時間が全体の半分以上となり、その割合は電子回路の規模の増大とともに増加する。線形連立方程式の求解の方法としては、直接法と反復法とがあるが、直接法では回路規模が増大すると線形連立方程式の求解の所要時間が極度に増加するために実用的でなく、一般的に大規模な電子回路のシミュレーションには反復法が採用されている。

【0004】 この反復法とは、解答の近似値列

$\{x^{(0)}, x^{(1)}, x^{(2)}, \dots\}$ を順次解法して十分に収

束したときの $x^{(i)}$ を解答とするもので、例えば、B i C G (Bi Conjugate Gradient Method) 法、Q M R (Quasi Minimal Residual Method) 法、C G S (Conjugate Gradient Squared Method) 法、B i C G S T A B (Bi-CG Stabilized Method) 法、等がある。なお、このような反復法を実際に行う場合には、連立方程式を収束しやすい形態に変換する

前処理を実行することが一般的である。この前処理を実行しないと解答が収束しないことがあるため、実用的には前処理は不可欠である。

【0005】 このような前処理としては、不完全 L U (Lower/Upper factorization) 分解 (= I L U 分解) が顕著である。この I L U 分解では、L U 分解で発生するフィルインを完全に無視したり、フィルインの伝播を一定レベルまで許容することにより、L U 分解の近似値を求解する。フィルインとは、L U 分解前の行列では "0" であったのに、L U 分解後には "0" でなくなった要素を示す。このようなフィルインの伝播を一定レベルまで許容する処理は I L U (L) と表記し、その処理は図 11 のフローチャートのように実行される。

【0006】 上述のような I L U 分解の前処理付きの反復法を並列処理装置で実行する場合、図 12 に示すように、最初に回路を分割することにより係数行列を縁取ブロック対角行列とする。そして、図 13 に示すように、この係数行列に対する I L U 分解を複数のブロック A 1, A 2, ..., A n ごとに複数のプロセッサで並列に実行してから、最後に結合部分 D の I L U 分解を逐次実行する。

【0007】 なお、この結合部分 D の I L U 分解が逐次実行である欠点を解消する方法が、"International Conference on Computer Aided Design 90" の予稿集の "A Parallel Block-Diagonal Preconditioned Conjugate-Gradient Solution Algorithm for Circuit and Device Simulations" に開示されている。その方法では、縁取部分の非対角ブロック B 1 ~ B n, C 1 ~ C n を無視することで、複数のブロックと結合部分の全部に対する I L U 分解を並列に処理する。

【0008】

【発明が解決しようとする課題】 上述のような各種の手法により、回路の動作を複数のデータ処理手段の並列処理によりシミュレーションすることが可能である。しかし、最後に結合部分の I L U 分解を逐次実行する従来の第一の手法では、全体的な処理時間を有効に短縮することが困難である。

【0009】 つまり、複数のブロックごとに I L U 分解を並列処理するプロセッサの個数を増加させることにより、その個々の処理の容量を削減して時間を短縮させることは可能である。しかし、これでは最後に逐次実行する結合部分の I L U 分解の個数が増加するので、結合部分の逐次実行の処理時間が増加することになり、全体の

処理時間を有効に短縮することは困難である。例えば、前述した文獻の場合、プロセッサを四台として、一台の場合の2、2倍程度にしか速度が向上しない。

【0010】一方、ILU分解の並列処理において繰取部分の非対角ブロックを無視することで、複数のブロックと結合部分の全部に対するILU分解を並列に処理する従来の第二の手法では、無視した部分の影響により線形方程式の求解の反復回数が数倍程度にまで増加するので、全体的に処理時間を短縮することが困難であり、場合によっては求解が収束しないこともある。

【0011】つまり、ILU分解は結果が完全なLU分解に近似するほど反復回数が少なくて良いが、上述のように繰取部分の非対角ブロックを無視すると完全なLU分解の結果との差分が増加する。反復回数が増加すると桁落ちなどの数値演算誤差が増大するため、理論上では収束する反復法でも収束しなくなることがある。

【0012】本発明は上述のような課題に鑑みてなされたものであり、電子回路をシミュレーションする処理が高速なデータ処理装置および方法、このようなデータ処理方法をコンピュータシステムに実行させるプログラムが格納された情報記憶媒体、を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の一のデータ処理装置は、電子回路の記述データの入力を受け付けるデータ入力手段と、入力された電子回路の記述データを分割して部分回路の記述データを生成するデータ分割手段と、部分回路の記述データに対して次段のタイムポイントを決定するポイント決定手段と、次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成する方程式生成手段と、生成された線形連立方程式の繰取ブロック対角化された係数行列の複数のブロックの各々を並列にILU分解する複数のブロックILU手段と、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分に並列に加算する複数のフィルイン加算手段と、複数のフィルインが加算された結合部分の複数の行集合の各々を並列にILU分解する行集合ILU手段と、前記方程式生成手段と前記ブロックILU手段と前記フィルイン加算手段と前記行集合ILU手段との動作を解答が収束するまで反復させる解答収束手段と、前記ポイント決定手段と前記方程式生成手段と前記ブロックILU手段と前記フィルイン加算手段と前記行集合ILU手段と前記解答収束手段との動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させる動作繰返手段と、複数のタイムポイントでの解答をデータ出力する結果出力手段と、を具備している。

【0014】従って、電子回路の記述データの入力データ入力手段により受け付けられ、入力された電子回路

の記述データがデータ分割手段により分割されて部分回路の記述データが生成される。部分回路の記述データに対して次段のタイムポイントがポイント決定手段により決定され、次段のタイムポイントが決定された部分回路の記述データに方程式生成手段により陰的積分公式とニュートン反復法とが適用されて線形連立方程式が生成される。

【0015】生成された線形連立方程式の繰取ブロック対角化された係数行列の複数のブロックの各々が複数のブロックILU手段により並列にILU分解され、並列な複数のブロックのILU分解により個々に発生した複数のフィルインが複数のフィルイン加算手段により係数行列の結合部分に並列に加算される。

【0016】複数のフィルインが加算された結合部分の複数の行集合の各々が行集合ILU手段により並列にILU分解され、上述した方程式生成手段とブロックILU手段とフィルイン加算手段と行集合ILU手段との動作が解答収束手段により解答が収束するまで反復される。

【0017】解答が収束すると上述したポイント決定手段と方程式生成手段とブロックILU手段とフィルイン加算手段と行集合ILU手段と解答収束手段との動作が動作繰返手段によりタイムポイントが事前に設定された最終時間に到達するまで繰り返され、この複数のタイムポイントでの解答が結果出力手段によりデータ出力される。

【0018】係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解とが、各々並列に処理され、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数が増加すれば処理時間が短縮される。

【0019】なお、本発明で云う各種手段は、その機能を実現するように形成されていれば良く、例えば、適正に動作するように形成された専用のハードウェア、適正なプログラムがソフトウェアにより実装されたコンピュータ、これらの組み合わせ、等を許容する。

【0020】上述のようなデータ処理装置における他の発明としては、並列に動作する複数のプロセッサを具備しており、これらのプロセッサの各々がブロックILU手段とフィルイン加算手段と行集合ILU手段として機能する。

【0021】従って、ブロックILU手段による係数行列の複数のブロックのILU分解と、フィルイン加算手段による係数行列の結合部分に対する複数のフィルインの加算と、行集合ILU手段による結合部分の複数の行集合のILU分解とが、複数のプロセッサにより各々並列に実行される。

【0022】なお、本発明で云うプロセッサとは、データ処理を個々に実行できるデバイスであれば良く、いわ

ゆるマイクロコンピュータなどを許容する。ただし、複数のプロセッサが実際に複数のチップ部品である必要はなく、例えば、高機能のプロセッサの内部にソフトウェアにより仮想的に形成された複数のデータ処理機能なども許容する。

【0023】本発明の他のデータ処理装置は、上述したデータ処理装置の一つとする処理速度と求解の収束性とは相反する関係の複数のデータ処理手段と、最初に収束性が最低で処理速度が最高の前記データ処理手段に求解させる処理選択手段と、求解する前記データ処理手段の反復回数を検出する回数検出手段と、反復回数が事前に設定された許容回数を逸脱すると求解させる前記データ処理手段を収束性が高く処理速度が低い前記データ処理手段に順次切り替える処理切替手段と、を具備している。

【0024】従って、前述したデータ処理装置の一つとする処理速度と求解の収束性とは相反する関係の複数のデータ処理手段に対し、最初に収束性が最低で処理速度が最高のデータ処理手段に処理選択手段が求解させる。このように求解するデータ処理手段の反復回数が回数検出手段により検出され、この反復回数が事前に設定された許容回数を逸脱すると求解するデータ処理手段が処理切替手段により収束性が高く処理速度が低いデータ処理手段に順次切り替えられる。

【0025】つまり、最初は収束性が低く処理速度が高いデータ処理手段により求解が実行され、その反復回数が多数となると収束性が高いデータ処理手段に順次切り替えられるので、最終的には適正なデータ処理手段で求解が実行される。

【0026】本発明のデータ処理方法は、電子回路の記述データの入力を受け付け、入力された電子回路の記述データを分割して部分回路の記述データを生成し、部分回路の記述データに対して次段のタイムポイントを決定制し、次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成し、生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を並列にILU分解し、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分に並列に加算し、複数のフィルインが加算された結合部分の複数の行集合の各々を並列にILU分解し、線形連立方程式の生成から行集合のILU分解までの動作を解答が収束するまで反復させ、次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返し、複数のタイムポイントでの解答をデータ出力するようにした。

【0027】従って、係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解と

が、各々並列に処理され、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数が増加すれば処理時間が短縮される。

【0028】本発明の他のデータ処理方法は、上述したデータ処理方法の一つとして処理速度と求解の収束性とは相反する関係の複数のデータ処理方法を用意しておき、最初に収束性が最低で処理速度が最高の前記データ処理方法に求解させ、求解する前記データ処理方法の反復回数を検出し、反復回数が事前に設定された許容回数を逸脱すると求解させる前記データ処理方法を収束性が高く処理速度が低い前記データ処理方法に順次切り替えるようにした。

【0029】従って、最初は収束性が低く処理速度が高いデータ処理方法により求解が実行され、その反復回数が多数となると収束性が高いデータ処理方法に順次切り替えられるので、最終的には適正なデータ処理方法で求解が実行される。

【0030】本発明の一の情報記憶媒体は、並列に動作する複数のプロセッサを具備するコンピュータシステムが読取自在なソフトウェアが格納されている情報記憶媒体において、電子回路の記述データの入力を受け付けること、入力された電子回路の記述データを分割して部分回路の記述データを生成すること、部分回路の記述データに対して次段のタイムポイントを決定制すること、次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成すること、生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数の前記プロセッサに並列にILU分解させること、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分に複数の前記プロセッサに並列に加算させること、複数のフィルインが加算された結合部分の複数の行集合の各々を複数の前記プロセッサに並列にILU分解させること、線形連立方程式の生成から行集合のILU分解までの動作を解答が収束するまで反復させること、次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返し、複数のタイムポイントでの解答をデータ出力すること、を前記コンピュータシステムに実行させるためのプログラムが格納されている。

【0031】従って、この情報記憶媒体のプログラムをコンピュータシステムが読み取って動作すると、このコンピュータシステムは、電子回路の記述データの入力を受け付け、入力された電子回路の記述データを分割して部分回路の記述データを生成する。

【0032】つぎに、部分回路の記述データに対して次段のタイムポイントを決定制し、次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成する。

この生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数のプロセッサに並列に I L U 分解させ、並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを複数のプロセッサにより係数行列の結合部分に並列に加算する。

【0033】この複数のフィルインが加算された結合部分の複数の行集合の各々を複数のプロセッサに並列に I L U 分解させ、線形連立方程式の生成から行集合の I L U 分解までの動作を解答が収束するまで反復させる。そして、次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返し、複数のタイムポイントでの解答をデータ出力することになる。

【0034】つまり、係数行列の複数のブロックの I L U 分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合の I L U 分解とが、複数のプロセッサで各々並列に処理され、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数が増加すれば処理時間が短縮される。

【0035】なお、本発明で云う情報記憶媒体とは、コンピュータシステムに各種処理を実行させるためのプログラムが事前に格納されたものであれば良く、例えば、コンピュータシステムに固定的に接続されている ROM (Read Only Memory) や HDD (Hard Disc Drive)、コンピュータシステムに着脱自在に装填される CD (Compact Disc) - ROM や FD (Floppy Disc)、等を許容する。

【0036】本発明の他の情報記憶媒体は、並列に動作する複数のプロセッサを具備するコンピュータシステムが読取自在なニュートン反復法のソフトウェアが格納されている情報記憶媒体であって、線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数の前記プロセッサに並列に I L U 分解させること、並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを係数行列の結合部分に複数の前記プロセッサに並列に加算させること、複数のフィルインが加算された結合部分の複数の行集合の各々を複数の前記プロセッサに並列に I L U 分解させること、を前記コンピュータシステムに実行させるためのプログラムが格納されている。

【0037】従って、この情報記憶媒体のプログラムをコンピュータシステムが読み取って動作すると、このコンピュータシステムは、ニュートン反復法を実行するとき、線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数のプロセッサに並列に I L U 分解させ、並列な複数のブロックの I L U 分解により個々に発生した複数のフィルインを複数のプロセッサにより係数行列の結合部分に並列に加算させ、この複数のフィルインが加算された結合部分の複数の行集合の

各々を複数のプロセッサに並列に I L U 分解させる。

【0038】つまり、係数行列の複数のブロックの I L U 分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合の I L U 分解とが、複数のプロセッサで各々並列に処理され、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数が増加すれば処理時間が短縮される。

【0039】

【発明の実施の形態】本発明の実施の一形態を図 1 ないし図 9 を参照して以下に説明する。なお、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称を使用して詳細な説明は省略する。図 1 は本実施の形態のデータ処理装置の論理的構造を示す模式図、図 2 は物理的構造を示すブロック図、図 3 は処理対象の電子回路を示す回路図、図 4 は線形連立方程式の縁取ブロック対角化された係数行列と各種処理との関係を示す模式図、図 5 は並列に実行される各種処理の関係を示す模式図、図 6 は本実施の形態のデータ処理方法を示すフローチャート、図 7 は I L U 分解の処理方法を示すフローチャート、図 8 は線形連立方程式の縁取ブロック対角化された係数行列の一例を示す模式図、図 9 は並列処理される複数の I L U 分解の依存関係を示す模式図である。

【0040】本実施の形態のデータ処理装置 1 は、いわゆるコンピュータシステムからなり、図 2 に示すように、コンピュータの主体としてメインプロセッサ 101 を具備している。このメインプロセッサ 101 には、バスライン 102 により、メインメモリ 103、キーボード 104、ディスプレイ 105、HDD 106、FD 107 が装填される FDD (FD Drive) 108、通信 I / F (Interface) 109、複数のコプロセッサ 110、等が接続されている。前記メインプロセッサ 101 や前記コプロセッサ 110 は、いわゆるマイクロコンピュータからなり、ROM や RAM が接続された CPU からなる。

【0041】本実施の形態のデータ処理装置 1 では、前記プロセッサ 101、110 の内蔵 ROM および内蔵 RAM、前記メインメモリ 103、前記 HDD 106、前記 FD 107、等が情報記憶媒体に相当し、これらに各種動作に必要なプログラムやデータがソフトウェアとして記憶されている。例えば、前記プロセッサ 101、110 に各種の処理動作を実行させる制御プログラムは、前記 FD 107 に事前に書き込まれている。このようなソフトウェアは前記 HDD 106 に事前にインストールされており、前記データ処理装置 1 の起動時に前記プロセッサ 101、110 の内蔵 RAM に複写される。

【0042】このように前記プロセッサ 101、110 が適正なプログラムに対応して各種の処理動作を実行することにより、本実施の形態のデータ処理装置 1 には、各種の機能が各種の手段として実現されている。つまり、このような各種手段として、本実施の形態のデータ

処理装置1は、図1に示すように、データ入力手段11、データ分割手段12、ポイント決定手段13、方程式生成手段14、複数のブロック1111手段15、複数のフィルイン加算手段16、複数の行集合1117手段17、解答収束手段18、動作繰返手段19、結果出力手段20、等を具備している。

【0043】前記データ入力手段11は、例えば、その内蔵RAM等に設定された制御プログラムに対応して動作する前記メインプロセッサ101が、前記キーボード104や前記通信I/F109の入力データを前記メインメモリ103に格納することなどにより、電子回路121の記述データの入力を受け付ける。このように入力される記述データは、例えば、図3に示すような電子回路121の、各種素子の関係を記述したデジタル情報のデータファイルからなり、前記プロセッサ101、110が読取可能である。

【0044】前記データ分割手段12は、例えば、前記メインプロセッサ101が内蔵RAM等に設定された制御プログラムに対応して所定のデータ処理を実行することにより、上述のように入力された電子回路121の記述データを分割して部分回路122の記述データを生成する。このような分割は事前に設定されたアルゴリズムに基づいて実行され、例えば、図3に示すように、電子回路121が四つの部分回路122に分割される。

【0045】以下同様に、前記メインプロセッサ101が内蔵RAM等に設定された制御プログラムに対応して所定のデータ処理を実行することにより、前記ポイント決定手段13は、部分回路122の記述データに対して次段のタイムポイントを決定する。このタイムポイントは、電子回路121の連続する動作をサンプリングする時刻を意味しており、事前に設定されたアルゴリズムに基づいて適正に決定される。

【0046】前記方程式生成手段14は、次段のタイムポイントが決定された部分回路122の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成する。このように生成される線形連立方程式は、図4に示すように、その一部として縁取ブロック対角化された係数行列の複数のブロックを具備しており、例えば、前記メインメモリ103に一時記憶されて前記プロセッサ101、110に利用される。

【0047】以上の前記手段11～14および後述する前記手段18～20のデータ処理は、一個の前記メインプロセッサ101により実行されるが、以下の前記手段15～17のデータ処理は、図5に示すように、複数の前記コプロセッサ110により並列に実行される。つまり、本実施の形態のデータ処理装置1では、複数の前記コプロセッサ110の各々に一連の前記手段15～17が実現されている。

【0048】すなわち、複数の前記コプロセッサ110が各々の内蔵RAM等に設定された制御プログラムに

応して所定のデータ処理を並列に実行することにより、複数の前記ブロック1111手段15は、生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロック A_i, B_i, C_i の各々を並列に1111分解する。

【0049】複数のフィルイン加算手段16は、並列な複数のブロック A_i, B_i, C_i の1111分解により個々に発生した複数のフィルインを係数行列の結合部分Dに並列に加算し、前記行集合1117手段17は、複数のフィルインが加算された結合部分Dの複数の行集合の各々を並列に1111分解する。

【0050】また、前記メインプロセッサ101が内蔵RAM等に設定された制御プログラムに対応して所定のデータ処理を実行することにより、前記解答収束手段18は、前記方程式生成手段14と前記ブロック1111手段15と前記フィルイン加算手段16と前記行集合1117手段17との動作を解答が収束するまで反復させる。

【0051】前記動作繰返手段19は、前記ポイント決定手段13と前記方程式生成手段14と前記ブロック1111手段15と前記フィルイン加算手段16と前記行集合1117手段17と前記解答収束手段18との動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させる。前記結果出力手段20は、例えば、その内蔵RAM等に設定された制御プログラムに対応して動作する前記メインプロセッサ101が、前記メインメモリ103の記憶データを前記ディスプレイ105や前記通信I/F109にデータ出力させることなどにより、複数のタイムポイントでの解答をデータ出力する。

【0052】上述のような各種手段11～20は、必要により前記キーボード104や前記ディスプレイ105等のハードウェアを利用して実現されるが、その主体は前記プロセッサ101、110が内蔵RAM等に格納されたソフトウェアに対応して動作することにより実現されている。

【0053】このようなソフトウェアは、例えば、電子回路121の記述データの前記通信I/F109等による入力を受け付けること、入力された電子回路121の記述データを分割して部分回路122の記述データを生成すること、部分回路122の記述データに対して次段のタイムポイントを決定すること、次段のタイムポイントが決定された部分回路122の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成すること、等のデータ処理を前記メインプロセッサ101に実行させるための制御プログラム、生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロック A_i, B_i, C_i ($i=1, 2, \dots$)の各々を並列に1111分解させること、並列な複数のブロック A_i, B_i, C_i の1111分解により個々に発生した複数のフィルインを係数行列の結合部分Dに並列に加算させること、複数のフィルインが加算された結合部分Dの複数

の行集合の各々を並列にILU分解させること、等のデータ処理を複数の前記コプロセッサ110に並列に実行させるための制御プログラム、線形連立方程式の生成から行集合のILU分解までの動作を解答が収束するまで反復させること、次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させること、複数のタイムポイントでの解答を前記通信1/F109等にデータ出力させること、等のデータ処理を前記メインプロセッサ101に実行させるための制御プログラム、等として前記プロセッサ101、110の各々の内蔵メモリ等の情報記憶媒体に格納されている。

【0054】上述のような構成において、本実施の形態のデータ処理装置1によるデータ処理方法を以下に説明する。図6に示すように、本実施の形態のデータ処理装置1は、通信1/F109などに電子回路121の記述データが入力されると(ステップS11)、図3に示すように、この入力された電子回路121の記述データをメインプロセッサ101のデータ処理により分割して部分回路122の記述データを生成する(ステップS12)。

【0055】つぎに、メインプロセッサ101のデータ処理により部分回路122の記述データに対して次段のタイムポイントが決定され(ステップS13)、この次段のタイムポイントが決定された部分回路122の記述データに陰的積分公式とニュートン反復法とが適用されて線形連立方程式が生成される(ステップS14)。

【0056】このように生成された線形連立方程式の求解が、図4および図5に示すように、複数のコプロセッサ110の各々のデータ処理により並列に実行される。つまり、複数のコプロセッサ110の並列処理により、上述のように線取ブロック対角化された係数行列の複数のブロック A_i, B_i, C_i の各々が、並列にILU分解され(ステップS51～S65)、並列な複数のブロック A_i, B_i, C_i のILU分解により個々に発生した複数のフィルインが係数行列の結合部分Dに並列に加算される(ステップS15)。

【0057】複数のフィルインが加算された結合部分Dの複数の行集合の各々が並列に、図7に示すようなデータ処理によりILU分解され(ステップS16)、このように並列に実行される線形連立方程式の求解が、その解答が収束するまで繰り返される(ステップS17)。収束した解答は、そのタイムポイントでの電子回路121の動作を反映しているので、上述のような処理動作(ステップS13～S17)が、タイムポイントが事前に設定された最終時間に到達するまで繰り返され(ステップS18)、この複数のタイムポイントでの解答がデータ出力される。

【0058】本実施の形態のデータ処理装置1のデータ処理方法では、上述のように係数行列の複数のブロック A_i, B_i, C_i のILU分解と、係数行列の結合部分D

に対する複数のフィルインの加算と、結合部分Dの複数の行集合のILU分解とが、複数のコプロセッサ110のデータ処理により各々並列に処理され、この並列処理の結果に対して逐次実行するような処理は存在しない。このため、並列処理の個数を増加させることで処理時間を短縮することができ、複数のコプロセッサ110を具備することで大規模な電子回路121のシミュレーションを高速に実行することができる。

【0059】例えば、図8に示すように、非ゼロ要素を有する有する係数行列の結合部に、四個の行集合ILU手段17によりレベル $L=2$ のILU分解を並列に実行した場合、その各々の更新演算と相互の依存関係は図9のようになる。もしも、これを逐次実行すると合計で九回の更新演算の時間が必要となるが、本実施の形態のデータ処理装置1のデータ処理方法によれば、ピボット行の送信時間を無視すると五回の更新演算の時間で処理を完了することができる。

【0060】実際の大規模な電子回路では結合部分Dの行数は数百から数千に及ぶため、並列処理の個数に反比例させて結合部分Dの処理時間を短縮することが可能である。ただし、どんなに並列処理の個数を増加させても、図9に示すように、行毎のクリティカルパスの実行時間より処理時間を短縮することはできないので、並列処理の適切な個数は“逐次実行の所要時間÷クリティカルパスの所要時間”程度である。

【0061】また、結合部分Dに対するILU分解の処理時間を並列処理の個数に略反比例させて減少させるためには、図7に示したILU分解のデータ処理において、ピボット行の放送(ステップS53)の所要時間が、並列処理の個数に比例して増加せず一定である必要があるが、これは並列処理の個数が多数の場合には極めて困難である。

【0062】そこで、上述のようなことが問題となる場合には、ピボット行を送信元から受信先に順番に一对一に通信することを繰り返す。つまり、最初に次のピボット行を保持する行集合ILU手段17に送信し、その後、さらに次のピボット行を保持する行集合ILU手段17に送信するというように、ピボット行を順番に送信する(ステップS71～S73)。

【0063】この場合、ピボット行の通信と数値の演算処理とをオーバーラップさせることができるので、クリティカルパスの実行時間の放送による増加量は、高速な一对一通信の時間の“結合部分の行数-1”倍となり、この時間は並列処理の個数 n に関係なく一定である。

【0064】上述のような送信制御を簡単に実現するため、係数行列の結合部分を一行ずつ同一の順番で相違する行集合ILU手段17に割り当てる。例えば、行集合ILU手段17が三個の場合、一行目、四行目、七行目…は一番目の行集合ILU手段17に割り当て、二行目、五行目、八行目…は二番目の行集合ILU手段17

に割り当て、三行目、六行目、九行目…は三番目の行集合111に手段17に割り当てる。

【0065】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態では並列に実行する複数のデータ処理を複数のコプロセッサ110で実行し、並列に実行しないデータ処理は一個のメインプロセッサ101で実行することを例示したが、この並列に実行しないデータ処理を複数のコプロセッサ110の一つに実行させるようにしてメインプロセッサ101を省略するようなことも可能である。

【0066】また、上記形態では各プロセッサ101、110が内蔵RAM等にソフトウェアとして格納された制御プログラムに従って動作することにより、データ処理装置1の各種手段11～20が実現されることを例示した。しかし、このような各種手段11～20の各々を固有のハードウェアとして形成することも可能であり、一部をソフトウェアとして内蔵RAM等に格納するとともに一部をハードウェアとして形成するようなことも可能である。

【0067】また、上記形態ではデータ処理装置1の起動時にHDD106に事前に格納されているソフトウェアがプロセッサ101、110の内蔵RAMに複写され、このように内蔵RAMに格納されたソフトウェアをプロセッサ101、110の内蔵CPUが読み取ることを想定したが、このようなソフトウェアをHDD106に格納したままプロセッサ101、110に利用させることや、その内蔵ROMに事前に固定的に格納しておくことも可能である。

【0068】さらに、単体で取り扱える情報記憶媒体であるFD107等にソフトウェアを書き込んでおき、このFD107等から内蔵RAM等にソフトウェアをインストールすることも可能であるが、このようなインストールを実行することなくFD107等からプロセッサ101、110がソフトウェアを直接に読み取って処理動作を実行することも可能である。

【0069】つまり、本発明のデータ処理装置1の各種手段11～20をソフトウェアにより実現する場合、そのソフトウェアはプロセッサ101、110が読み取って対応する動作を実行できる状態に有れば良い。また、上述のような各種手段11～20を実現する制御プログラムを、複数のソフトウェアの組み合わせで形成することも可能であり、その場合、単体の製品となる情報記憶媒体には、本発明のデータ処理装置を実現するための必要最小限のソフトウェアのみを格納しておけば良い。

【0070】例えば、既存のオペレーティングシステムが実装されているデータ処理装置1に、FD107等の情報記憶媒体によりアプリケーションソフトを提供するような場合、本発明のデータ処理装置の各種手段を実現するソフトウェアは、アプリケーションソフトとオペレ

ーティングシステムとの組み合わせで実現されるので、オペレーティングシステムに依存する部分のソフトウェアは情報記憶媒体のアプリケーションソフトから省略することができる。

【0071】さらに、電子回路をシミュレーションする従来のアプリケーションソフトが事前に実装されたデータ処理装置が存在する場合、そのニュートン反復法の部分のみをバージョンアップのアプリケーションソフトとして供給するようなことも可能である。

【0072】その場合、FD107等の情報記憶媒体には、線形連立方程式の線取ブロック対角化された係数行列の複数のブロック A_i, B_i, C_i ($i=1, 2, \dots$)の各々を並列に1LU分解させること、並列な複数のブロック A_i, B_i, C_i の1LU分解により個々に発生した複数のフィルインを係数行列の結合部分Dに並列に加算させること、複数のフィルインが加算された結合部分Dの複数の行集合の各々を並列に1LU分解させること、等のデータ処理を複数のコプロセッサ110に並列に実行させるための制御プログラムのみがソフトウェアとして格納されていれば良い。

【0073】また、このように情報記憶媒体に記述したソフトウェアをプロセッサ101、110に供給する手法は、その情報記憶媒体をデータ処理装置1に直接に装填することに限定されない。例えば、上述のようなソフトウェアをホストコンピュータの情報記憶媒体に格納しておき、このホストコンピュータを通信ネットワークで端末コンピュータに接続し、ホストコンピュータから端末コンピュータにデータ通信でソフトウェアを供給することも可能である。

【0074】上述のような場合、端末コンピュータが自信の情報記憶媒体にソフトウェアをダウンロードした状態でスタンドアロンの処理動作を実行することも可能であるが、ソフトウェアをダウンロードすることなくホストコンピュータとのリアルタイムのデータ通信により処理動作を実行することも可能である。この場合、ホストコンピュータと端末コンピュータとを通信ネットワークで接続したシステム全体が、本発明のデータ処理装置に相当することになる。

【0075】つぎに、本発明の実施の第二の形態を図10を参照して以下に説明する。なお、この実施の第二の形態に関して上述した実施の第一の形態と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。なお、同図は本実施の形態のデータ処理装置のデータ処理方法を示すフローチャートである。

【0076】本実施の形態のデータ処理装置（図示せず）は、複数のデータ処理手段、処理選択手段、回数検出手段、処理切替手段、等を具備している。複数の前記データ処理手段は、前述した実施の第一の形態のデータ処理装置1を一つとし、処理速度と求解の収束性とが相反する関係の複数のデータ処理装置からなる。

【0077】より詳細には、回路の動作をシミュレーションする各種の解法は、一般的に処理速度が高いと求解の収束性が低く、収束性が高いと処理速度が低い。そこで、本実施の形態のデータ処理装置では、例えば、解法の種類 P_{max} が三つの場合、処理速度が最低で求解の収束性が最高の解法を第一のデータ処理手段に設定し、処理速度が最高で求解の収束性が最低の解法を第三のデータ処理手段に設定する。

【0078】より具体的には、SOLVER(1)のデータ処理手段はガウス消去法(直接法)で解法のデータ処理を実行し、前述のデータ処理装置1に相当するSOLVER(2)のデータ処理手段はILU(4)の前処理付きBi-CGSTAB法(反復法)で解法のデータ処理を実行し、SOLVER(3)のデータ処理手段はガウス・ザイデル法(反復法)で解法のデータ処理を実行するように設定する。

【0079】なお、本実施の形態のデータ処理装置では、三つのデータ処理手段でニュートン方程式の作成までは共通しており、このニュートン方程式の求解が三つのデータ処理手段で切り替えられる。

【0080】前記処理選択手段は、最初に収束性が最低で処理速度が最高のデータ処理手段に求解させ、前記回数検出手段は、求解するデータ処理手段の反復回数を検出する。前記処理切替手段は、反復回数が事前に設定された許容回数を逸脱すると、求解させるデータ処理手段を収束性が高く処理速度が低いデータ処理手段に順次切り替える。

【0081】上述のような構成において、本実施の形態のデータ処理装置のデータ処理方法では、図面に示すように、最初にニュートン方程式が作成され(ステップS92)、このニュートン方程式が、最初に収束性が最低で処理速度が最高のSOLVER(3)で求解される(ステップS93)。この求解での反復回数が検出され(ステップS96)、この反復回数が事前に設定された許容回数を逸脱すると(ステップS97)、求解するSOLVER(p)が収束性が高く処理速度が低いSOLVER(p-1)に順次切り替えられる。

【0082】本実施の形態のデータ処理装置1のデータ処理方法によると、最初は収束性が低く処理速度が高い解法で求解が実行され、その反復回数が多数となると収束性が高い解法に順次切り替えられるので、最終的に最適な解法で求解を実行することができる。

【0083】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0084】請求項1記載の発明のデータ処理装置は、電子回路の記述データの入力を受け付けるデータ入力手段と、入力された電子回路の記述データを分割して部分回路の記述データを生成するデータ分割手段と、部分回路の記述データに対して次段のタイムポイントを決定するポイント決定手段と、次段のタイムポイントが決定さ

れた部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成する方程式生成手段と、生成された線形連立方程式の係数行列対角化された係数行列の複数のブロックの各々を並列にILU分解する複数のブロックILU手段と、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分に並列に加算する複数のフィルイン加算手段と、複数のフィルインが加算された結合部分の複数の行集合の各々を並列にILU分解する行集合ILU手段と、前記方程式生成手段と前記ブロックILU手段と前記フィルイン加算手段と前記行集合ILU手段との動作を解答が収束するまで反復させる解答収束手段と、前記ポイント決定手段と前記方程式生成手段と前記ブロックILU手段と前記フィルイン加算手段と前記行集合ILU手段と前記解答収束手段との動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させる動作繰返手段と、複数のタイムポイントでの解答をデータ出力する結果出力手段と、を具備していることにより、係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解とを、各々並列に処理することができ、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数の増加により処理時間を短縮することができ、大規模な電子回路を高速にシミュレーションすることができる。

【0085】請求項2記載の発明は、請求項1記載のデータ処理装置であって、並列に動作する複数のプロセッサを具備しており、これらのプロセッサの各々がブロックILU手段とフィルイン加算手段と行集合ILU手段として機能することにより、係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解とを、複数のプロセッサにより各々並列に実行することができる。

【0086】請求項3記載の発明のデータ処理装置は、請求項1記載のデータ処理装置を一つとする処理速度と求解の収束性とが相反する関係の複数のデータ処理手段と、最初に収束性が最低で処理速度が最高の前記データ処理手段に求解させる処理選択手段と、求解する前記データ処理手段の反復回数を検出する回数検出手段と、反復回数が事前に設定された許容回数を逸脱すると求解させる前記データ処理手段を収束性が高く処理速度が低い前記データ処理手段に順次切り替える処理切替手段と、を具備していることにより、最初は収束性が低く処理速度が高いデータ処理手段により求解が実行され、その反復回数が多数となると収束性が高いデータ処理手段に順次切り替えられるので、最終的に最適なデータ処理手段で求解を実行することができる。

【0087】請求項4記載の発明のデータ処理方法は、電子回路の記述データの入力を受け付け、入力された電

子回路の記述データを分割して部分回路の記述データを生成し、部分回路の記述データに対して次段のタイムポイントを決定制、次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成し、生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を並列にILU分解し、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分に並列に加算し、複数のフィルインが加算された結合部分の複数の行集合の各々を並列にILU分解し、線形連立方程式の生成から行集合のILU分解までの動作を解答が収束するまで反復させ、次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返し、複数のタイムポイントでの解答をデータ出力するようにしたことにより、係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解とを、各々並列に処理することができ、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数の増加により処理時間を短縮することができ、大規模な電子回路を高速にシミュレーションすることができる。

【0088】請求項5記載の発明のデータ処理方法は、請求項4記載のデータ処理方法を一つとして処理速度と求解の収束性とが相反する関係の複数のデータ処理方法を用意しておき、最初に収束性が最低で処理速度が最高の前記データ処理方法に求解させ、求解する前記データ処理方法の反復回数を検出し、反復回数が事前に設定された許容回数を逸脱すると求解させる前記データ処理方法を収束性が高く処理速度が低い前記データ処理方法に順次切り替えるようにしたことにより、最初は収束性が低く処理速度が高いデータ処理手段により求解が実行され、その反復回数が多数となると収束性が高いデータ処理手段に順次切り替えられるので、最終的に最適なデータ処理手段で求解を実行することができる。

【0089】請求項6記載の発明の情報記憶媒体は、並列に動作する複数のプロセッサを具備するコンピュータシステムが読取自在なソフトウェアが格納されている情報記憶媒体において、電子回路の記述データの受け付けること、入力された電子回路の記述データを分割して部分回路の記述データを生成すること、部分回路の記述データに対して次段のタイムポイントを決定制、次段のタイムポイントが決定された部分回路の記述データに陰的積分公式とニュートン反復法とを適用して線形連立方程式を生成すること、生成された線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数の前記プロセッサに並列にILU分解させること、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分

に複数の前記プロセッサに並列に加算させること、複数のフィルインが加算された結合部分の複数の行集合の各々を複数の前記プロセッサに並列にILU分解させること、線形連立方程式の生成から行集合のILU分解までの動作を解答が収束するまで反復させること、次段のタイムポイントの決定から解答を収束させるまでの動作をタイムポイントが事前に設定された最終時間に到達するまで繰り返させること、複数のタイムポイントでの解答をデータ出力すること、を前記コンピュータシステムに実行させるためのプログラムが格納されていることにより、この情報記憶媒体のプログラムをコンピュータシステムが読み取って動作すると、このコンピュータシステムは、係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解とを、各々並列に処理することができ、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数の増加により処理時間を短縮することができ、大規模な電子回路を高速にシミュレーションすることができる。

【0090】請求項7記載の発明の情報記憶媒体は、並列に動作する複数のプロセッサを具備するコンピュータシステムが読取自在なニュートン反復法のソフトウェアが格納されている情報記憶媒体であって、線形連立方程式の縁取ブロック対角化された係数行列の複数のブロックの各々を複数の前記プロセッサに並列にILU分解させること、並列な複数のブロックのILU分解により個々に発生した複数のフィルインを係数行列の結合部分に複数の前記プロセッサに並列に加算させること、複数のフィルインが加算された結合部分の複数の行集合の各々を複数の前記プロセッサに並列にILU分解させること、を前記コンピュータシステムに実行させるためのプログラムが格納されていることにより、この情報記憶媒体のプログラムをコンピュータシステムが読み取って動作すると、このコンピュータシステムは、係数行列の複数のブロックのILU分解と、係数行列の結合部分に対する複数のフィルインの加算と、結合部分の複数の行集合のILU分解とを、各々並列に処理することができ、並列処理の結果に対して逐次実行する処理が存在しないので、並列処理の個数の増加により処理時間を短縮することができ、大規模な電子回路を高速にシミュレーションすることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のデータ処理装置の論理的構造を示す模式図である。

【図2】データ処理装置の物理的構造を示すブロック図である。

【図3】シミュレーションする電子回路を示す回路図である。

【図4】線形連立方程式の縁取ブロック対角化された係数行列と各種処理との関係を示す模式図である。

【図 5】 並列に実行される各種処理の関係を示す模式図である。

【図 6】 本実施の形態のデータ処理方法を示すフローチャートである。

【図 7】 111 分解の処理方法を示すフローチャートである。

【図 8】 線形連立方程式の線取ブロック対角化された係数行列の一例を示す模式図である。

【図 9】 並列処理される複数の 111 分解の依存関係を示す模式図である。

【図 10】 本発明の実施の第二の形態のデータ処理装置のデータ処理方法を示すフローチャートである。

【図 11】 ニュートン反復法のデータ処理方法を示すフローチャートである。

【図 12】 線形連立方程式の線取ブロック対角化された係数行列を示す模式図である。

【図 13】 一従来例の各種処理の関係を示す模式図である。

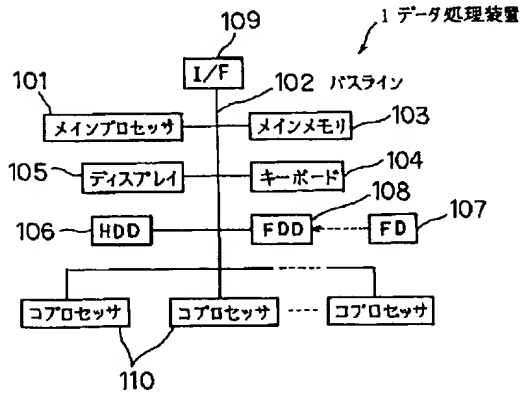
【符号の説明】

- 1 データ処理装置(コンピュータシステム)
11 データ入力手段

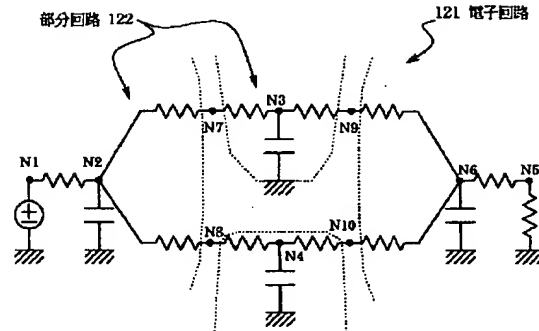
- 12 データ分割手段
13 ポイント決定手段
14 方程式生成手段
15 ブロック111手段
16 フィルイン加算手段
17 行集合111手段
18 解答収束手段
19 動作繰返手段
20 結果出力手段

- 10 101 メインプロセッサ
102 バスライン
103 情報記憶媒体であるメインメモリ
104 キーボード
105 ディスプレイ
106 情報記憶媒体であるHDD
107 情報記憶媒体であるFD
108 FDD
109 通信I/F
110 コプロセッサ
20 121 電子回路
122 部分回路

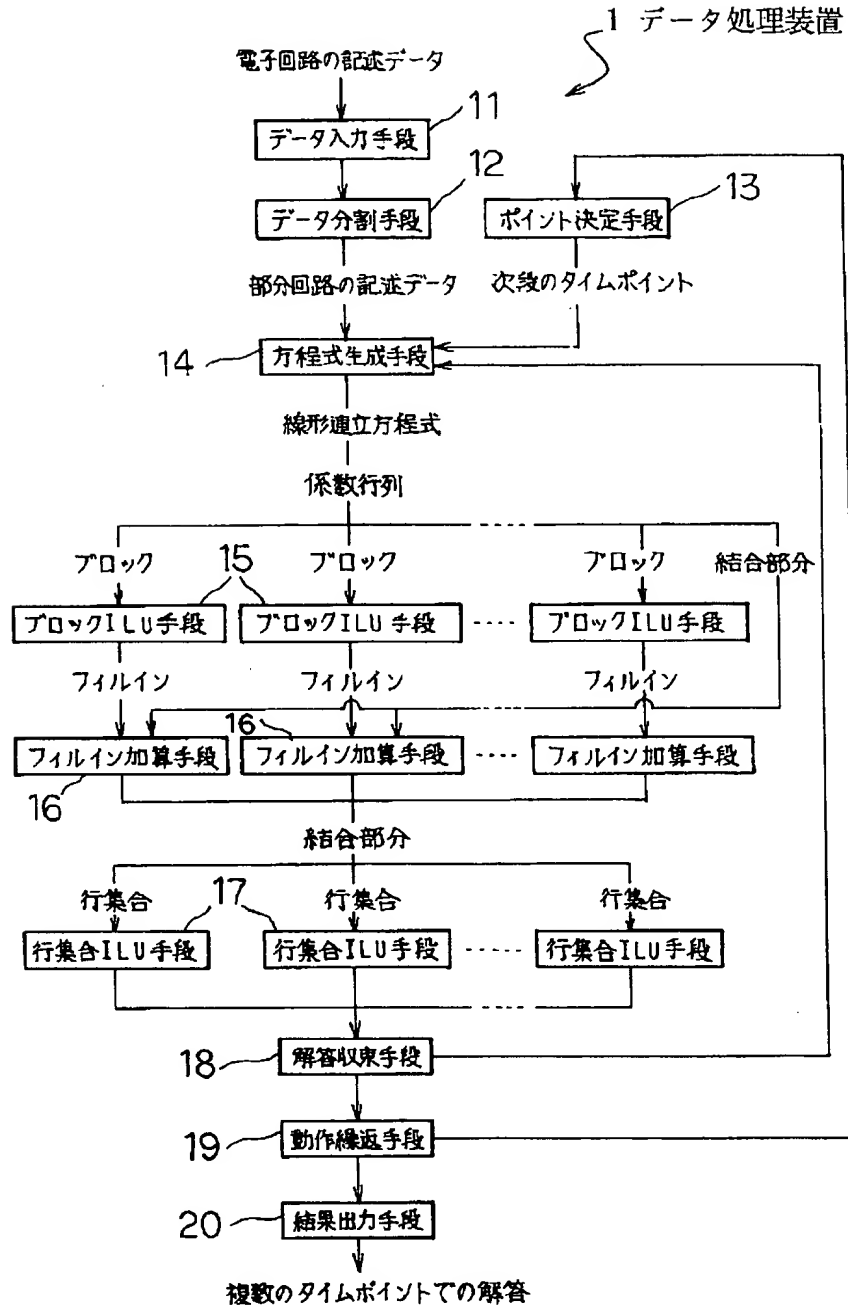
【図 2】



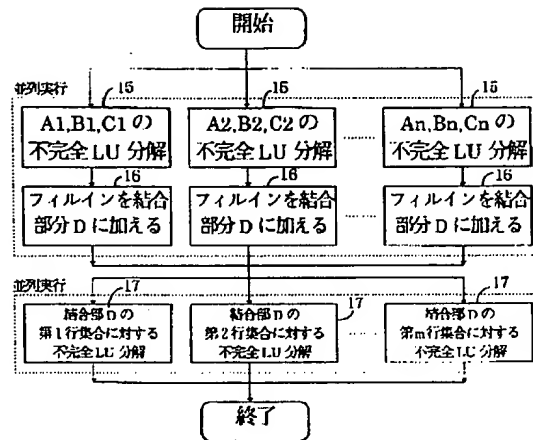
【図 3】



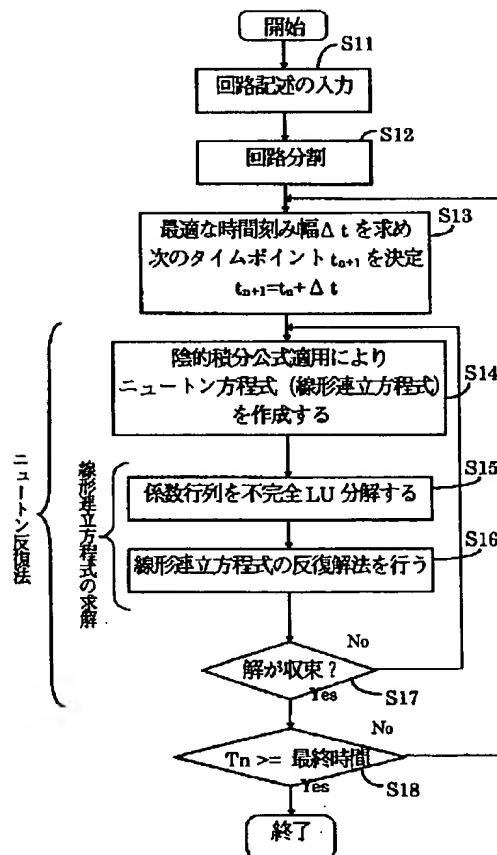
【図1】



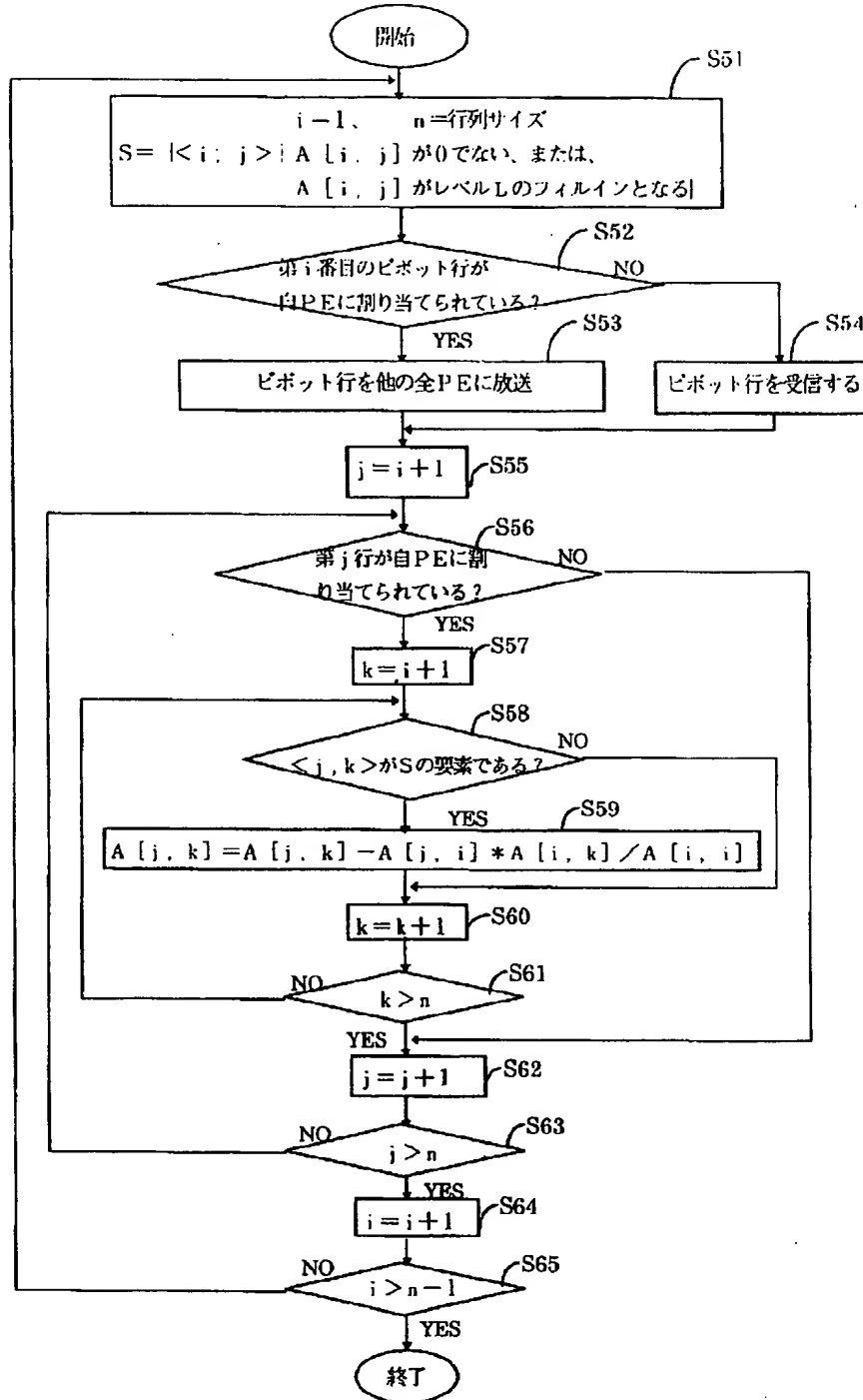
【图5】



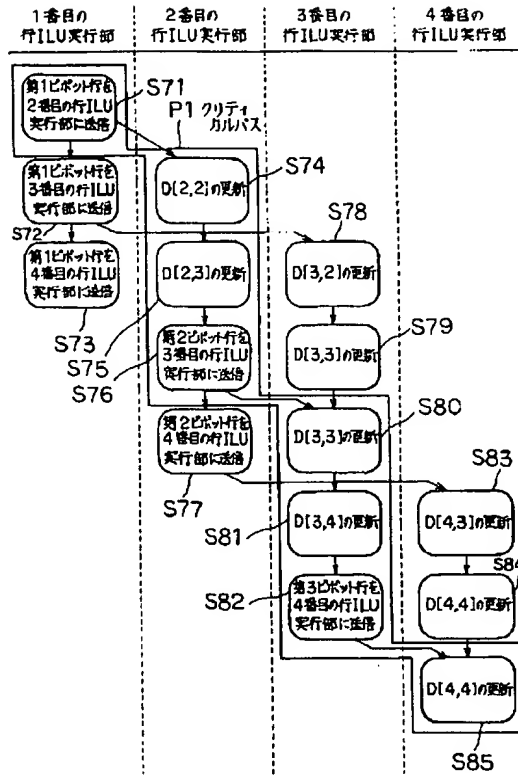
【図8】



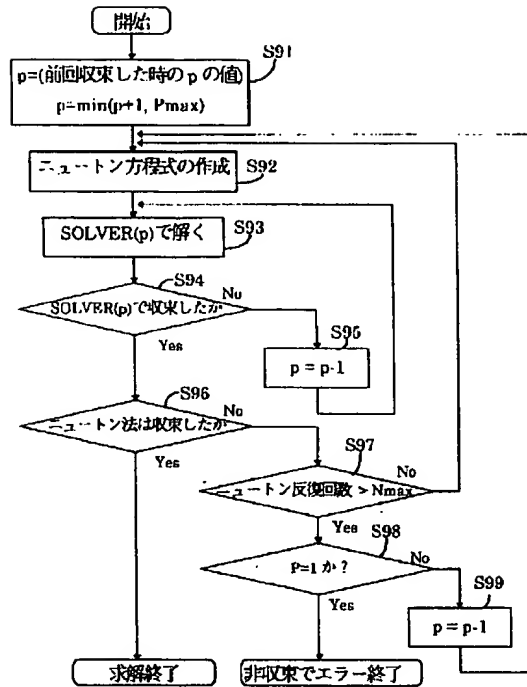
【図7】



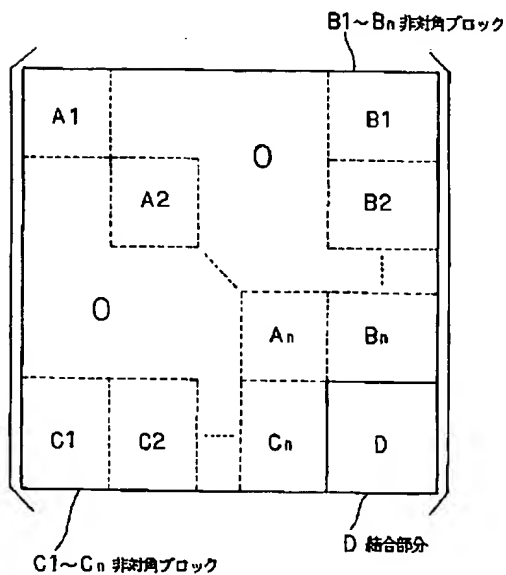
【図9】



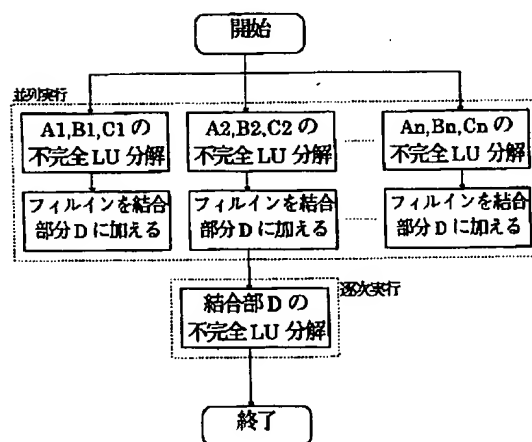
【図10】



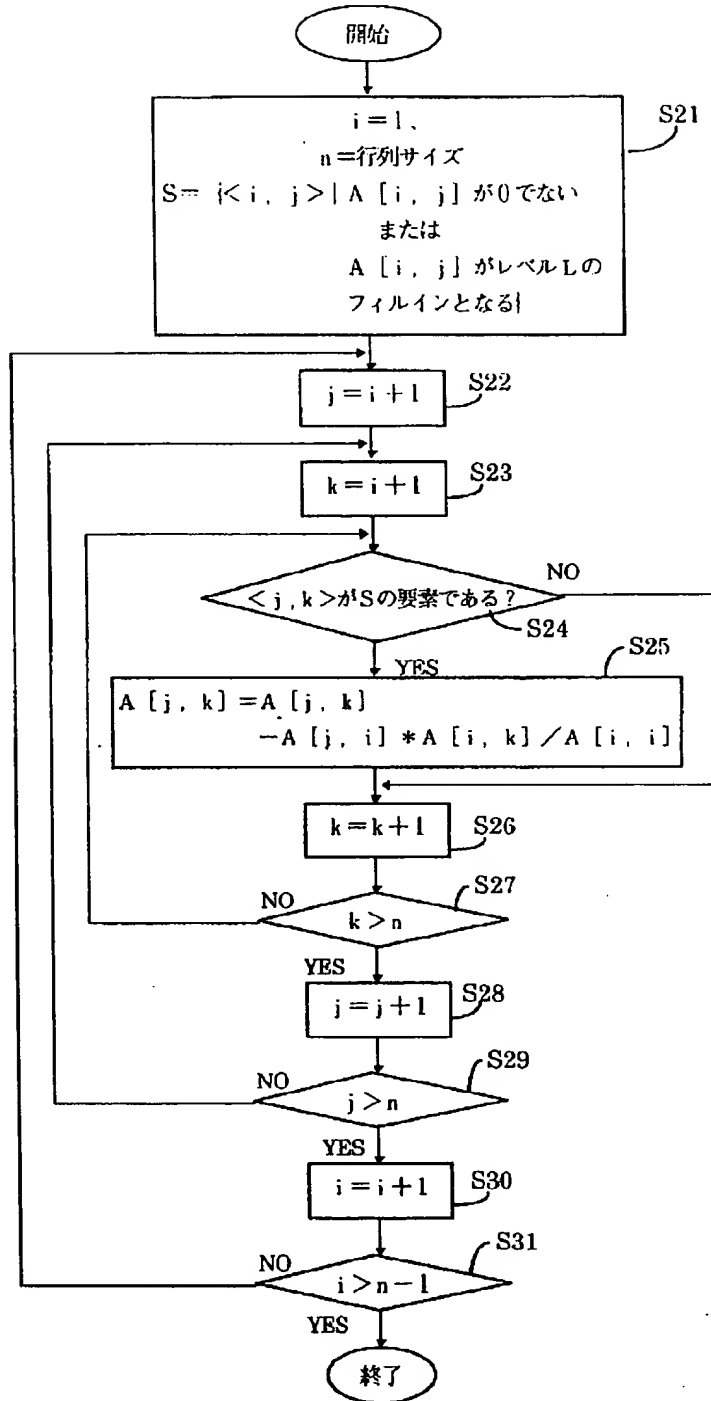
【図12】



【図13】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.